

⑪ 公開特許公報 (A) 昭61-94342

⑫ Int.Cl.⁴
H 01 L 21/88識別記号
厅内整理番号
6708-5F

⑬ 公開 昭和61年(1986)5月13日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子の製造方法

⑮ 特願 昭59-215102
⑯ 出願 昭59(1984)10月16日⑰ 発明者 大槻 博明 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑲ 代理人 弁理士 菊池 弘

明細書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

表面に段差を有する半導体基板上に多結晶シリコン膜を形成する工程と、その多結晶シリコン膜を異方性エッティングでパターニングする工程と、この工程後、前記基板の段差部側面の多結晶シリコン膜の残渣を酸化する工程とを具備してなる半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体素子の製造方法に關し、詳しくは、多結晶シリコン膜（以下ポリシリコンと呼ぶ）のパターン形成方法に關する。

(従来の技術)

シリコン集積回路は、今後、ますます微細化が進み、高密度化・高集積化が図られようとしている。これを支えるエッティングにおける技術の一つが反応性イオンエッチ（Reactive Ion Etch；

RIE）を筆頭とする異方性エッティングである。異方性エッティングは、超LSI技術総集編1982年版（昭57-7）ダイヤモンド社経営開発編集部P213-P223にRIEが詳述されているように、従来のいわゆるウエットエッチまたはプラズマエッチのような異方性エッティングと異なり、エッティングマスク材端からの横方向へのエッティング量が少なく、被エッティング物にはばエッティングマスク通りの寸法のパターンが転写される。したがつて、フォトマスクからの変換率が小さく微細化に適しており、今後、ますます使用されようとしている。

このような異方性エッティングでは、第2図のようにシリコシ基板1の表面に膜2により段差があり、そこに被エッティング物3を形成しエッティングする場合、下地段差部の側面に被エッティング物3aが残りやすい。

(発明が解決しようとする問題点)

そして、このことが、例えばシリコン集積回路のメモリなどの製造においては問題となつた。

すなわち、シリコン集積回路のメモリの製造方法においては、第3図(a)のように、シリコン基板11上に第1ポリシリコンのパターン12を形成した後、第2ポリシリコンとの層間絶縁膜13を熱酸化あるいはCVD(Chemical Vapor Deposition)法などにより形成し、続いて第2ポリシリコン14をCVD法で被覆させ、その第2ポリシリコン14の非エッチング部を図示しないレジストで覆つた上で、第2ポリシリコン14をRIEでエッチングして第4図の平面図に示すよう第2ポリシリコンパターン14a, 14bを得ているが、RIEで第2ポリシリコン14をエッチングすると、第2ポリシリコン14が除去されるべき部分でも第3図(b)のように第1ポリシリコンパターン12の側面に第2ポリシリコン14が残る。すなわち、第4図の点線の部分に第2ポリシリコン14が残る(第3図(b)は第4図のA-A部分の断面図である)。したがつて、この第2ポリシリコン14の残渣で第2ポリシリコンパターン14a, 14bがショートして歩留りが低下する。

シリコン基板であり、このシリコン基板21上に第1ポリシリコンのパターン22を形成した後、全面に層間絶縁膜23を形成し、さらにその上に第2ポリシリコン24を被覆する。ここで、層間絶縁膜23は例えば数百nm厚の熱酸化SiO₂膜からなる。また、第2ポリシリコン24は例えば減圧CVD法で数百nm厚に形成されるもので、このポリシリコン24には「in situ」か或いは被覆後、リン(P)などの不純物のドーピングを行う。

その後、同第1図(a)のように、第2ポリシリコン24上に耐酸化性のSi₃N₄膜25をCVD法などで形成する。ここで、Si₃N₄膜25の膜厚は、後述する酸化に対してマスクとなるだけの厚さとする。例えば、数十nm厚とする。

次に、第1図(b)に示すように、Si₃N₄膜25上に、第2ポリシリコン24の非エッチング部分を覆うようにレジストパターン26をフォトリソグラフィにより形成する。

しかる後、同第1図(b)に示すように、レジスト

これを避けるため異方性エッチング性を弱くすると、エッチングマスク通りの寸法のパターンを転写できるという異方性エッチングの特徴が損なわれる。また、オーバーエッチングを行つて段差部の残渣を除去しようとすると、必要以上に平坦部の下地が損傷を受け、延いては粒子特性に悪影響を及ぼすという問題点がある。

(問題点を解決するための手段)

そこで、この発明では、ポリシリコンの異方性エッチング後、下地段差部側面のポリシリコンの残渣を酸化する。

(作用)

ポリシリコンの残渣を酸化すると、それは、非導電性のSiO₂に変わる。したがつて、残渣によるショートなどの問題はなくなる。

(実施例)

以下この発明の一実施例を第1図(この図は第4図のB-B部分の断面図に相当する)を参照して説明する。

第1図(a)において、21は半導体基板としての

パターン26をマスクとしてRIEによりSi₃N₄膜25および第2ポリシリコン24をエッチングする。これにより、第4図で示したところの第2のポリシリコンパターンが形成される。また、この時、第2のポリシリコン24が除去されるべき部分であつても下地段差部側面(第1ポリシリコンパターン22の側面)は、第1図(b)に示すように第2ポリシリコン24が完全に除去されずに残っている。

そこで、次に、エッチングマスクとしてのレジストパターン26を剥離した上で、Si₃N₄膜25を耐酸化のマスクとして、前記残渣としての第2ポリシリコン(第1ポリシリコンパターン22側面の第2ポリシリコン)24のみを酸化し、これを第1図(c)に示すようにSiO₂27とする。ここで、酸化は、水蒸気露圧あるいは高圧下で行えれば、より低温・短時間で済む。

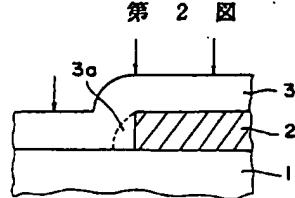
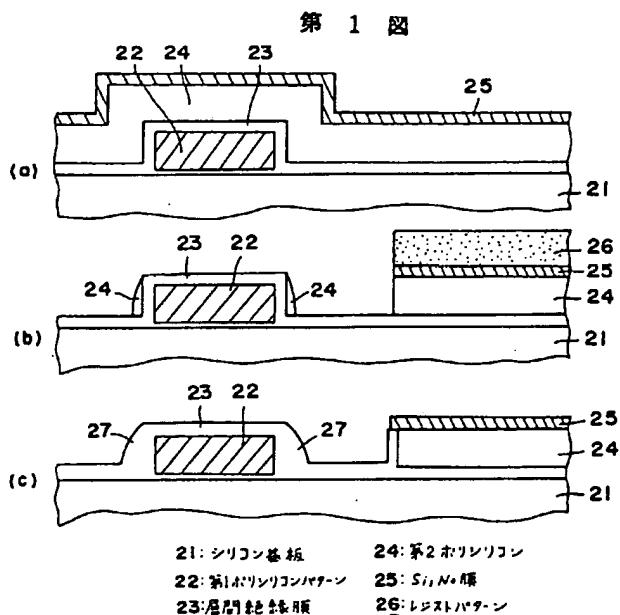
しかる後、耐酸化マスクとしてのSi₃N₄膜25を、熱リン酸のような、SiO₂とのエッチングの選択性が大きなエチテヤントで除去する。

なお、以上の一実施例では、第2ポリシリコン24上にSi₃N₄膜25を付けて、その後の第2ポリシリコン24の残渣の酸化工程における耐酸化マスクとしたが、このSi₃N₄膜25は必ずしも必要ない。すなわち、Si₃N₄膜25を形成する代りに、前記酸化工程の時の第2ポリシリコン24の酸化による膜減りを考慮して予め第2のポリシリコン24を厚くしておけばよい。

(発明の効果)

以上のように、この発明の方法では、ポリシリコンの異方性エッティング後、下地段差部側面のポリシリコンの残渣を酸化して、それを非導電性のSiO₂に変える。したがつて、異方性エッティング性を弱めたり、オーバーエッチを行うことなしに、ポリシリコンの残渣によるショートなどの問題を解決でき、同時に、異方性エッティング性を弱める方法およびオーバーエッチ法による問題も解決できる。また、異方性エッティング後の酸化は、エッティングによるダメージを取り除く効果がある。

4. 図面の簡単な説明

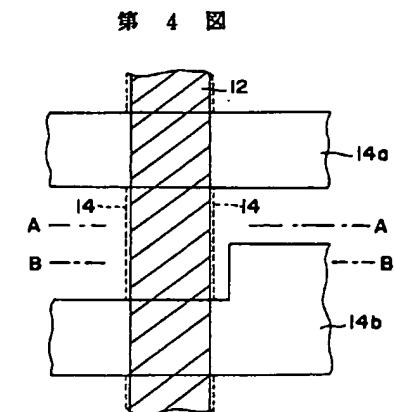
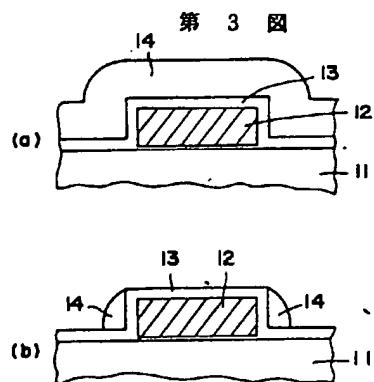


第1図はこの発明の半導体素子の製造方法の一実施例を説明するための断面図、第2図は異方性エッティングのとき下地段差部側面に被エッティング物が残ることを示す模式断面図、第3図はシリコン集積回路のメモリにおける製造方法を説明するための断面図、第4図は同平面図である。

21…シリコン基板、22…第1ポリシリコンパターン、24…第2ポリシリコン、27…SiO₂。

特許出願人 沖電気工業株式会社

代理人 弁理士 菊池



PAT-NO: JP361094342A

DOCUMENT-IDENTIFIER: JP 61094342 A

TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: May 13, 1986

INVENTOR-INFORMATION:

NAME
OTSUKI, HIROAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP59215102

APPL-DATE: October 16, 1984

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 438/699

ABSTRACT:

PURPOSE: To prevent short circuits due to residue of polycrystalline Si without excessive etching, by forming a polycrystalline Si film on a semiconductor substrate having the difference in steps on the surface, patterning the film by anisotropic etching, and oxidizing the residue of the polycrystalline Si film at the side surface of a step part.

CONSTITUTION: On an Si substrate 21, a first polysilicon pattern 22 is formed. Thereafter, an interlayer insulating film 23 is formed on the entire surface. Second polysilicon 24 is deposited on the film 23. Impurities such

as P are doped in the polysilicon 24. An oxidation resisting Si₃N₄ film 25 is formed thereon. A resist pattern 26 is formed on the film 25. With the pattern 26 as a mask, the film 25 and the polysilicon 24 are etched by RIE. The resist pattern 26 is exfoliated. Then, with the film 25 as an oxidation resisting mask, only the polysilicon 24 at the surface of the pattern 22 is oxidized as residue. Thus SiO₂ 27 is obtained. Then the film 25 is etched away. Thus short circuits due to the residue of the polysilicon 24 are prevented without excessive etching.

COPYRIGHT: (C)1986,JPO&Japio